

E P

U S

P C T

特許協力条約

国際調査報告

(法8条、法施行規則第40、41条)
 [PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 S00P0886W000	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。		
国際出願番号 PCT/JP00/05055	国際出願日 (日.月.年)	28.07.00	優先日 (日.月.年)
出願人(氏名又は名称) ソニー株式会社			

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。この写しは国際事務局にも送付される。

この国際調査報告は、全部で 2 ページである。

この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。
 この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。
 この国際出願に含まれる書面による配列表

この国際出願と共に提出されたフレキシブルディスクによる配列表

出願後に、この国際調査機関に提出された書面による配列表

出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. 請求の範囲の一部の調査ができない(第I欄参照)。

3. 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は 出願人が出したものを承認する。

次に示すように国際調査機関が作成した。

5. 要約は 出願人が出したものを承認する。

第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1ヶ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、
 第 5 図とする。 出願人が示したとおりである.

なし

出願人は図を示さなかった。

本図は発明の特徴を一層よく表している。

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. Cl' G06F12/00

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. Cl' G06F12/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996

日本国公開実用新案公報 1971-2000

日本国登録実用新案公報 1994-2000

日本国実用新案登録公報 1996-2000

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US,5572466,A(Kabushiki Kaisha Toshiba) 5.11月.1996(05.11.96) & JP,6-119128, A	1 - 6
Y	日経エレクトロニクス, No. 696, (18.8月.1997) 日経BP社(東京), "ソニー、フオーマット固定のフラッシュ・メモリ・カードを開発", p. 13, 14	1 - 6
Y	JP,8-87441, A(富士通株式会社), 2.4月.1996 (02.04.96), ファミリーなし	5
A	JP,6-4399, A(株式会社日立製作所), 14.1月.1994 (14.01.94), ファミリーなし	1 - 6

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

07.11.00

国際調査報告の発送日

14.11.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

原秀人

5N 9644



電話番号 03-3581-1101 内線 3585

THIS PAGE BLANK (USPTO)

PCT REQUEST

S00P0886WO00

Original (for SUBMISSION)

0 0-1	For receiving Office use only International Application No.	
0-2	International Filing Date	
0-3	Name of receiving Office and "PCT International Application"	
0-4 0-4-1	Form - PCT/RO/101 PCT Request Prepared using	PCT-EASY Version 2.91 (updated 01.07.2000)
0-5	Petition The undersigned requests that the present international application be processed according to the Patent Cooperation Treaty	
0-6	Receiving Office (specified by the applicant)	Japanese Patent Office (RO/JP)
0-7	Applicant's or agent's file reference	S00P0886WO00
I	Title of invention	RECORDING SYSTEM, DATA RECORDING APPARATUS, MEMORY APPARATUS, AND DATA RECORDING METHOD
II	Applicant II-1 This person is: II-2 Applicant for II-4 Name II-5 Address:	applicant only all designated States except US SONY CORPORATION 7-35, Kitashinagawa 6-chome, Shinagawa-ku, Tokyo 141-0001 Japan
II-6	State of nationality	JP
II-7	State of residence	JP
II-8	Telephone No.	03-5448-2111
II-9	Facsimile No.	03-5448-5709
III-1 III-1-1	Applicant and/or inventor This person is:	applicant and inventor
III-1-2	Applicant for	US only
III-1-4	Name (LAST, First)	NAKANISHI, Kenichi
III-1-5	Address:	C/O SONY CORPORATION 7-35, Kitashinagawa 6-chome, Shinagawa-ku, Tokyo 141-0001 Japan
III-1-6	State of nationality	JP
III-1-7	State of residence	JP

THIS PAGE BLANK (USPTO)

PCT REQUEST

S00P0886WO00

Original (for SUBMISSION) -

III-2	Applicant and/or inventor	
III-2-1	This person is:	applicant and inventor
III-2-2	Applicant for	US only
III-2-4	Name (LAST, First)	ARAKI, Shigeo
III-2-5	Address:	C/O SONY CORPORATION 7-35, Kitashinagawa 6-chome, Shinagawa-ku, Tokyo 141-0001 Japan
III-2-6	State of nationality	JP
III-2-7	State of residence	JP
IV-1	Agent or common representative; or address for correspondence	
	The person identified below is hereby/has been appointed to act on behalf of the applicant(s) before the competent International Authorities as:	Agent
IV-1-1	Name (LAST, First)	SUGIURA, Masatomo
IV-1-2	Address:	7th Floor, Ikebukuro Park Bldg., 49-7, Minami Ikebukuro 2-chome, Toshima-ku, Tokyo 171-0022 Japan
IV-1-3	Telephone No.	03-3980-0339
IV-1-4	Facsimile No.	03-3982-3166
IV-1-5	e-mail	sugipat2@mbc.nifty.com
V	Designation of States	
V-1	Regional Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	EP: AT BE CH&LI CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE and any other State which is a Contracting State of the European Patent Convention and of the PCT
V-2	National Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	CN JP KR US
V-5	Precautionary Designation Statement In addition to the designations made under items V-1, V-2 and V-3, the applicant also makes under Rule 4.9(b) all designations which would be permitted under the PCT except any designation(s) of the State(s) indicated under item V-6 below. The applicant declares that those additional designations are subject to confirmation and that any designation which is not confirmed before the expiration of 15 months from the priority date is to be regarded as withdrawn by the applicant at the expiration of that time limit.	
V-6	Exclusion(s) from precautionary designations	NONE

THIS PAGE BLANK (USPTO)

PCT REQUEST

Original (for SUBMISSION)

S00P0886WO00

VI-1	Priority claim of earlier national application		
VI-1-1	Filing date	28 July 1999 (28.07.1999)	
VI-1-2	Number	Patent Application 11-214089	
VI-1-3	Country	JP	
VII-1	International Searching Authority Chosen	Japanese Patent Office (JPO) (ISA/JP)	
VIII	Check list	number of sheets	electronic file(s) attached
VIII-1	Request	4	-
VIII-2	Description	22	-
VIII-3	Claims	2	-
VIII-4	Abstract	1	s00p0886_abstract.txt
VIII-5	Drawings	15	-
VIII-7	TOTAL	44	
VIII-8	Accompanying items	paper document(s) attached	electronic file(s) attached
VIII-12	Fee calculation sheet	✓	-
VIII-16	Priority document(s)	Item(s) VI-1	-
VIII-18	PCT-EASY diskette	-	diskette
VIII-19	Figure of the drawings which should accompany the abstract	11	
VIII-19	Language of filing of the international application	Japanese	
IX-1	Signature of applicant or agent		
IX-1-1	Name (LAST, First)	SUGIURA, Masatomo	

FOR RECEIVING OFFICE USE ONLY

10-1	Date of actual receipt of the purported international application	
10-2	Drawings:	
10-2-1	Received	
10-2-2	Not received	
10-3	Corrected date of actual receipt due to later but timely received papers or drawings completing the purported international application	
10-4	Date of timely receipt of the required corrections under PCT Article 11(2)	
10-5	International Searching Authority	ISA/JP
10-6	Transmittal of search copy delayed until search fee is paid	

FOR INTERNATIONAL BUREAU USE ONLY

11-1	Date of receipt of the record copy by the International Bureau	
------	--	--

PAGE BLANK (USPTO)

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2001年2月1日 (01.02.2001)

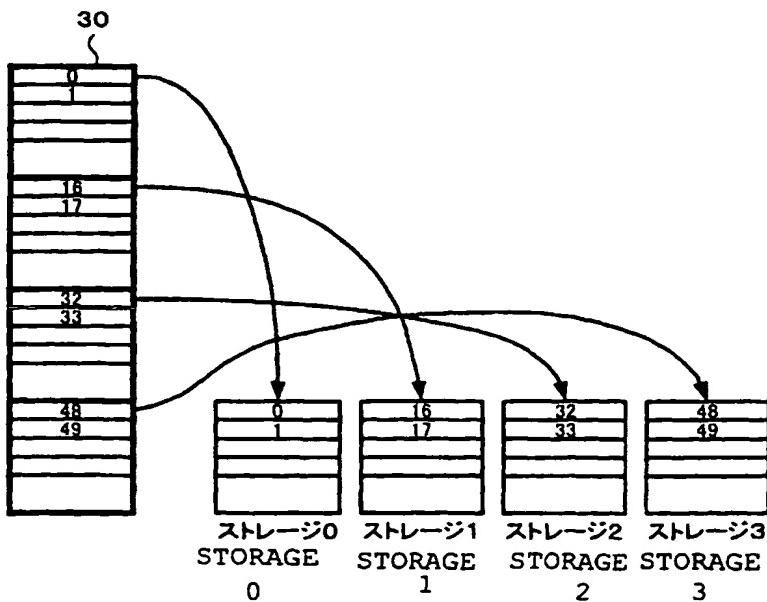
PCT

(10) 国際公開番号
WO 01/08014 A1

- (51) 国際特許分類⁷: G06F 12/00 (NAKANISHI, Kenichi) [JP/JP]. 荒木茂生 (ARAKI, Shigeo) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP00/05055
- (22) 国際出願日: 2000年7月28日 (28.07.2000) (74) 代理人: 杉浦正知 (SUGIURA, Masatomo); 〒171-0022 東京都豊島区南池袋2丁目49番7号 池袋パークビル7階 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国(国内): CN, JP, KR, US.
- (30) 優先権データ:
特願平11/214089 1999年7月28日 (28.07.1999) JP (84) 指定国(広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
- (71) 出願人(米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP). 添付公開書類:
— 國際調査報告書
- (72) 発明者; および
(75) 発明者/出願人(米国についてのみ): 中西健一
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

(54) Title: RECORDING SYSTEM, DATA RECORDING DEVICE, MEMORY DEVICE, AND DATA RECORDING METHOD

(54) 発明の名称: 記録システム、データ記録装置、メモリ装置およびデータ記録方法



(57) Abstract: In each of four storages, 128 clusters are distributed from one segment including 512 clusters. A logical-to-physical address translation table is generated for each segment. Therefore as long as the segment is not modified, the logical-to-physical address translation table referred to or updated is not changed, and it is possible to prevent degradation of the read performance due to an access to the table and to an update of the table. Further it is possible to write data simultaneously at continuous logical cluster address, e.g., 0x0004 to 0x0007, achieving high-rate write.

[締葉有]

WO 01/08014 A1



(57) 要約:

1 セグメントに含まれる 512 クラスタは、4 個のストレージにそれぞれ含まれる 128 個のクラスタに分散される。このセグメント毎に論理-物理アドレス変換テーブルが生成される。従って、セグメントが変更されなければ、参照または更新する論理-物理アドレス変換テーブルが変わらず、テーブルをアクセスしたり、テーブルを更新することによる読み出し性能の低下を防止することができる。また、連続した論理クラスタアドレス例えば 0x0004 ~ 0x0007 に対して同時にデータを書き込むことが可能となり、高速の書き込み可能となる。

明 細 書

記録システム、データ記録装置、メモリ装置およびデータ記録方法
技術分野

この発明は、記録媒体として、機器に着脱自在のメモリカードを使
5 用するようにした記録システム、データ記録装置、メモリ装置および
データ記録方法に関する。

背景技術

E E P R O M (Electrically Erasable Programmable ROM) と呼ばれる
電気的に書き換え可能な不揮発性メモリは、1 ビットを 2 個のトランジスタで構成するために、1 ビット当たりの占有面積が大きく、集積度を高くするのに限界があった。この問題を解決するために、全ビット一括消去方式により 1 ビットを 1 トランジスタで実現することが可能なフラッシュメモリが開発された。フラッシュメモリは、磁気ディスク、光ディスク等の記録媒体に代わりうるものとして期待されて
10 いる。
15

フラッシュメモリを有するメモリカードを機器に対して着脱自在に構成することが知られている。このメモリカードを使用すれば、従来の C D (コンパクトディスク)、M D (ミニディスク) 等のディスク状媒体に代えてメモリカードを使用するデジタルオーディオ記録／
20 再生装置を実現することができる。また、オーディオデータ以外に静止画データ、動画データをメモリカードに記録することもでき、デジタルスチルカメラ、デジタルビデオカメラの記録媒体として使用することができる。

フラッシュメモリは、セグメントと称されるデータ単位が所定数の
25 クラスタ (固定長) へ分割され、1 クラスタが所定数のセクタ (固定長) へ分割される。クラスタは、ブロックとも呼ばれ、セクタは、ペ

ージとも呼ばれる。フラッシュメモリでは、クラスタ単位で消去が一括して行われ、書き込みと読み出しが、セクタ単位で一括して行われる。

一例として、4 MB（メガバイト）のフラッシュメモリの場合、第
5 12図に示すように、1セグメントが512個のクラスタへ分割され
る。セグメントは、所定数のクラスタを管理する単位である。1クラ
スタが16個のセクタへ分割される。1クラスタは、8 KB（Kバ
イト）の容量とされ、1セクタが512 Bの容量とされる。4 MBのセ
グメントを4個使用して16 MBの容量のメモリを構成することができ
10 10。

16 MBのメモリ空間に対して、第13図Aに示すように、論理クラスタアドレスが割り振られる。論理クラスタアドレスは、 $512 \times 4 = 2048$ 個のクラスタを区別するために2バイト長とされる。第
13図では、論理クラスタアドレスが16進で表記されている。0x
15 は、16進表記を意味する。論理アドレスは、データ処理装置（ソフ
トウェア）が論理的に扱うアドレスである。物理アドレスは、フラッ
シュメモリの各クラスタに対して付されたもので、クラスタと物理ア
ドレスの対応関係は、不变である。

フラッシュメモリは、データの書き換えを行うことにより絶縁膜の
20 劣化を生じ、書き換え回数が制限される。従って、ある同一の記憶領域
（クラスタ）に対して繰り返し集中的にアクセスがなされることを
防止する必要がある。従って、ある物理アドレスに格納されているある論理アドレスのデータを書き換える場合、フラッシュメモリのファイルシステムでは、同一のクラスタに対して更新したデータを再度書
25 き込むことはせずに、未使用のクラスタに対して更新したデータを書き込むようになされる。その結果、データ更新前における論理アドレ

スと物理アドレスの対応関係が更新後では、変化する。このようなスワップ処理を行うことで、同一のクラスタに対して繰り返して集中的にアクセスがされることが防止され、フラッシュメモリの寿命を延ばすことが可能となる。

- 5 論理クラスタアドレスは、一旦クラスタに対して書き込まれたデータに付随するので、更新前のデータと更新後のデータの書き込まれる物理クラスタアドレスが変更されても、ファイル管理システムからは、同一のアドレスが見えることになり、以降のアクセスを適正に行うことができる。スワップ処理により論理アドレスと物理アドレスとの
10 対応関係が変化するので、両者の対応を示す論理－物理アドレス変換テーブルが必要となる。このテーブルを参照することによって、指定した論理クラスタアドレスに対応する物理クラスタアドレスが特定され、特定された物理クラスタアドレスが示すクラスタに対するアクセスが可能となる。
- 15 論理－物理アドレス変換テーブルは、データ処理装置によってメモリ上に格納される。若し、データ処理装置のメモリ容量が少ない時は、フラッシュメモリ中に格納することができる。第13図Bは、セグメント1に関する論理－物理アドレス変換テーブルの一例を示す。第
20 13図Bに示すように、論理－物理アドレス変換テーブルは、昇順に並べた論理クラスタアドレス（2バイト）に物理クラスタアドレス（2バイト）をそれぞれ対応させたものである。また、論理－物理アドレス変換テーブルは、セグメント毎に管理され、そのサイズは、フラッシュメモリの容量に応じて大きくなる。
また、フラッシュメモリの複数のストレージを並列動作させること
25 によって、データの書き込み速度を通常のものより高速とすることが望ましい場合がある。例えばネットワークを介して音楽データを配信

する電子音楽配信 E M D が実用化されつつある。パーソナルコンピュータのハードディスクに配信された音楽データを蓄え、所望の曲のデータをパーソナルコンピュータによってメモリカードにコピーまたはムーブし、そのメモリカードを携帯型のレコーダに装着することによって、簡単に好みの音楽を自宅以外で聞くことができる。ハードディスクからメモリカードに複数の曲のデータを並列書き込み（高速）でダウンロードし、再生時には、通常の速度でメモリカードから曲データを読み出すようになされる。

第 14 図は、4 個のストレージに対する従来の論理アドレスの構成を示す。図の例では、メモリのアドレス空間が A 0 , A 1 , . . . , A 1 0 の 1 1 ビットで表される。A 0 が L S B （最下位ビット）であり、A 1 0 が M S B （最上位ビット）である。M S B および第 2 番目の M S B (A 1 0 , A 9) によって、各 4 M B のストレージが切り換えられる。また、各ストレージのセクタおよびセグメントに対して、A 0 ~ A 8 の 9 ビットのアドレスが割り振られる。

また、データを書き込む時には、第 15 図に示すようなタイミングで動作がなされる。最初にホスト側からセクタサイズのページバッファに対してデータが転送される。転送のために T なる時間を要する。次のライトビジーの期間では、ページバッファからフラッシュメモリ内部のフラッシュバッファに対してデータが転送され、ストレージに対してデータが書き込まれる。

読み出し時には、第 16 図に示すように、リードビジーの期間においてフラッシュメモリからデータが読み出され、セクタサイズのページバッファに対して読み出しデータが転送される。次の転送時間 T において、ページバッファからホスト側に対してデータが転送される。

第 17 図は、あるセグメント内でそれぞれが異なるクラスタに属す

る連続する論理セクタ 0 ~ 3 に対してデータを書き込む時の処理の流れを示すフローチャートである。最初のステップ S 1 1 では、書き込み対象のセグメントに関して論理物理変換テーブルが作成される。ステップ S 1 2 では、ホスト側からセクタ 0 が送出される。この転送に 5 時間 T を要する。そして、ステップ S 1 3 では、セクタ 0 がフラッシュメモリに書き込まれる。ステップ S 1 4 では、ホスト側からセクタ 1 が送出され、ステップ S 1 5 では、セクタ 1 がフラッシュメモリに書き込まれる。以下、セクタ 2 の送出（ステップ S 1 6）、セクタ 2 の書き込み（ステップ S 1 7）、セクタ 3 の送出（ステップ S 1 8） 10 、セクタ 3 の書き込み（ステップ S 1 9）の処理が順になされる。従来では、例えば 4 個のストレージを並列に備えていても、一つのストレージにアクセスが集中するために処理の高速化ができない。

フラッシュメモリ上の 1 セクタのデータ構成は、第 18 図に示すように、512 バイトのデータに対して、管理情報が記録される 16 バイト長のエリアが付加されている。管理情報は、論理クラスタ番号、クラスタ管理情報および属性情報からなる。クラスタ管理情報は、あるクラスタ内の全セクタで同じ情報とされており、クラスタの有効／無効の情報等を含む。属性情報は、セクタ毎の情報であり、著作権情報等を含む。例えばフラッシュメモリが機器に装着される時に、ホスト側が管理情報を読み、そのセグメントについての論理クラスタと物理クラスタのテーブルを作成する。

複数のストレージを並列動作させる時には、複数のストレージに対するアクセス方法について考慮する必要がある。第 19 図は、4 個のストレージに対するアドレス供給の構成を示し、第 20 図は、4 MB × 4 = 16 MB のフラッシュメモリのアドレスを示す。アドレスは、第 14 図を参照して説明したように、A 0, A 1, …, A 10 の

11 ビットで表される。A 0 が L S B (最下位ビット) であり、A 10 が M S B (最上位ビット) である。M S B および第 2 番目の M S B (A 10, A 9) によって、各 4 M B のストレージが切り換えられる。また、各ストレージのクラスタに対して、A 0 ~ A 8 の 9 ビットの
5 アドレスが割り振られる。

従来では、4 個のストレージを切り換えるために、第 19 図に示すように、アドレスをフラッシュメモリに対して供給している。下位側の 9 ビットのアドレス A 0 ~ A 8 が 4 個のストレージ (0 ~ 3) に対して共通に与えられる。また、上位側の 2 ビットのアドレス A 9 および A 10 が 2 to 4 デコーダ 60 に供給され、デコーダ 60 から各ストレージを選択するための選択信号 C S 0, C S 1, C S 2, C S 3 が発生する。
10

(A 10, A 9) = 0 0 の場合には、ストレージ 0 を選択する選択信号 C S 0 がデコーダ 60 から発生する。また、(A 10, A 9) = 15 0 1、(A 10, A 9) = 1 0、(A 10, A 9) = 1 1 の場合に、ストレージ 1、ストレージ 2、ストレージ 3 をそれぞれ選択する選択信号 C S 1、C S 2、C S 3 がデコーダ 60 から発生する。

このようなストレージの切り換えによって、11 ビットが全て 0 からこれが全て 1 までアドレスをインクリメントさせた時のアドレス変化を、第 20 図において矢印で示す。すなわち、ストレージ 0 の先頭クラスタからストレージ 0 の最終クラスタまでアドレスが変化すると、次にストレージ 1 の先頭クラスタに移るよう、クラスタアドレスが変化する。第 21 図は、セグメントおよび論理クラスタアドレスの配置を示す。
20

25 上述した従来のフラッシュメモリのストレージの切り換えでは、アドレスの M S B から数ビットを使用してストレージ選択信号を生成し

ている。それによって、セグメントが一つのストレージ上に集中して配置され、また、ストレージ毎にセグメントが異なるものとなる。このような方法によっては、同一セグメントの複数のクラスタを並列化して同時に書き込むことができない。例えば第21図における（0x5 0 0 0 4、0x0 0 0 5、0x0 0 0 6、0x0 0 0 7）の4クラスタは、同一のストレージ0に含まれるために同時に書き込むことができない。

また、複数のセグメントのクラスタ例えば第21図における（0x10 0 0 0 4、0x0 2 0 4、0x0 4 0 4、0x0 6 0 4）の4クラスタを同時にストレージ0～ストレージ3に書き込むことはできる。しかしながら、フラッシュメモリでは、論理－物理アドレス変換テーブルがセグメント毎に構成されているので、アクセス時に論理－物理アドレス変換テーブルを参照する必要がある。従って、上述の例のように、4セグメントにわたって4個のクラスタを同時に書き込む時に、15 4セグメントのアドレス変換テーブルを持つためのメモリを必要とし、また、各セグメントに1セクタのデータを書き込む度にアドレス変換テーブルを参照する必要が生じ、そこで生じるオーバーヘッドによって書き込み時（または読み出し時）の性能が低下する。

従って、この発明の目的は、複数のストレージに対して並列書き込みが可能で、読み出し時の性能を向上させることが可能なデータ処理システム、データ処理装置、メモリ装置およびデータ記録方法を提供することにある。

発明の開示

上述した課題を解決するために、請求の範囲1の発明は、複数のセクタによって1クラスタが構成され、複数のクラスタによって1セグメントが構成されるストレージを複数備える不揮発性のメモリ装置が

データ処理装置に対して着脱自在とされたデータ処理システムにおいて、

データ処理装置は、

データを記録するクラスタのアドレスを指定するアドレス指定手段
5 を備え、

メモリ装置は、

アドレス指定手段により指定されたアドレスに対してデータの記録
を行う記録手段を備え、

1 セグメント内の複数のクラスタのデータが複数のストレージに分
10 散して配置されることを特徴とするデータ処理システムである。

請求の範囲 2 の発明は、複数のセクタによって 1 クラスタが構成され、複数のクラスタによって 1 セグメントが構成されるストレージを複数備える不揮発性のメモリ装置を記録媒体として使用するデータ処理装置において、

15 メモリ装置に対して、1 セグメント内の複数のクラスタのデータが複数のストレージに分散して配置されるように、データを書き込むことを特徴とするデータ処理装置である。

請求の範囲 3 の発明は、データ処理装置に対して着脱自在で、複数のセクタによって 1 クラスタが構成され、複数のクラスタによって 1
20 セグメントが構成されるストレージを複数備える不揮発性のメモリ装置において、

1 セグメント内の複数のクラスタのデータが複数のストレージに分散して配置されることを特徴とするメモリ装置である。

請求の範囲 6 の発明は、複数のセクタによって 1 クラスタが構成され、複数のクラスタに跨がるデータを複数のストレージに対して並列的に記録するデータ記録方法において、

クラスタアドレスを指定し、指定されたクラスタアドレスに対して書き込みを行い、

並列書き込み処理後に、1セグメント内の複数のクラスタのデータが複数のストレージに分散して配置されることを特徴とするデータ記

5 録方法である。

この発明では、1セグメント内の複数のクラスタのデータを並列的に書き込むことが可能となる。また、書き込まれたデータを読み出す時に、同一セグメント内であれば、論理-物理アドレス変換テーブルの切り換えが発生しないので、読み出し時の性能を向上できる。

10 図面の簡単な説明

第1図は、この発明の一実施形態の全体的構成を示すブロック図である。

第2図は、この発明の一実施形態におけるメモリカードの構成を概略的に示すブロック図である。

15 第3図は、この発明の一実施形態におけるメモリカードのより詳細な構成を示すブロック図である。

第4図は、この発明の一実施形態におけるアドレス構成を説明するための略線図である。

20 第5図は、この発明の一実施形態における並列書き込み動作を説明するための略線図である。

第6図は、この発明の一実施形態の書き込み動作を説明するためのタイミングチャートである。

第7図は、この発明の一実施形態の読み出し動作を説明するためのタイミングチャートである。

25 第8図は、この発明の一実施形態の書き込み動作を説明するためのフローチャートである。

第9図は、この発明の一実施形態におけるストレージの切り換えを説明するためのブロック図である。

第10図は、この発明の一実施形態におけるストレージの切り換えを説明するための略線図である。

5 第11図は、この発明の一実施形態におけるセグメントと論理クラスタアドレスの関係を示す略線図である。

第12図は、この発明を適用できるフラッシュメモリの一例の構成を示す略線図である。

10 第13図は、この発明を適用できるフラッシュメモリの論理－物理アドレス変換テーブルの一例を示す略線図である。

第14図は、従来のアドレス構成を説明するための略線図である。

第15図は、従来の書き込み動作を説明するためのタイミングチャートである。

15 第16図は、従来の読み出し動作を説明するためのタイミングチャートである。

第17図は、従来の書き込み動作を説明するためのフローチャートである。

第18図は、セクタ構成と管理情報を説明するための略線図である。

20 第19図は、従来のストレージの切り換えを説明するためのブロック図である。

第20図は、従来のストレージの切り換えを説明するための略線図である。

25 第21図は、従来のセグメントと論理クラスタアドレスの関係を示す略線図である。

発明を実施するための最良の形態

以下、この発明の一実施形態について説明する。第1図は、この発明を適用できるシステムの構成を示す。このシステムでは、ホスト側のデータ処理装置とメモリカードとがシリアルインターフェースを介して接続される。第1図において、1がCPUであり、CPU1のバスに対してメモリ2、ディスプレイ3および入力／出力部4が接続される。

シリアルインターフェース5がCPUバスと破線で囲んだメモリカード6との間に配される。メモリ2は、プログラム格納用のROM、ワークエリアとして使用されるRAMを含む。データ処理装置は、具体的には、パーソナルコンピュータ、デジタルスチルカメラ、デジタルビデオカメラ、デジタルオーディオレコーダ等である。メモリカード6は、フラッシュメモリ7を有する。フラッシュメモリ7は、例えばNAND型フラッシュメモリ（不揮発性メモリ）である。メモリカード6には、記憶されるコンテンツの著作権保護のために、暗号化回路が組み込まれる場合もある。

なお、この発明は、データ処理装置とメモリカード6との間のデータの授受をシリアルインターフェースではなく、パラレルインターフェースにより行う場合に対しても適用できる。

フラッシュメモリ7は、例えば $4\text{ MB} \times 4 = 16\text{ MB}$ のものである。第12図を参照して上述したように、4MB（メガバイト）のフラッシュメモリの場合、1セグメントが512個のクラスタへ分割され、1クラスタが16個のセクタへ分割される。1クラスタが8KB（Kバイト）バイトの容量とされ、1セクタが512Bの容量とされる。そして、第13図Aを参照して説明したように、16MBのメモリ空間に対して、論理クラスタアドレスが割り振られ、第13図Bを参照して説明したように、論理クラスタアドレスと物理クラスタアドレ

スとの対応関係を示す論理-物理アドレス変換テーブルがセグメント単位で作成される。さらに、上述したように、 $4\text{ MB} \times 4 = 16\text{ MB}$ のフラッシュメモリには、A0, A1, …, A10の11ビットの物理クラスタアドレスが使用される。

- 5 フラッシュメモリ7は、第2図に示すように、並列書き込みが可能なものとされている。第2図は、簡単のためにデータ入力／出力に関連する部分のみを示している。ストレージ0～ストレージ3にそれぞれ対応する4個のメモリセルMC0～MC3が備えられ、各メモリセルMC0～MC3に対するデータは、データバスおよびフラッシュバッファBF0～BF3をそれぞれ介して供給される。すなわち、データバスを介してフラッシュバッファBF0～BF3にそれぞれ1ページの書き込みデータが蓄えられると、フラッシュバッファBF0～BF3から同時にメモリセルMC0～MC3に対してデータが転送される。第2図の例は、一つのICパッケージが4個のストレージを備える例であるが、別々のパッケージのフラッシュメモリを4個使用してもよい。さらに、複数のストレージをパッケージ内に有するフラッシュメモリを複数個組み合わせても良い。

第3図は、この発明を適用できるメモリカード6のより具体的な構成を示す。メモリカード6は、コントロールブロック11とフラッシュメモリ7とが1チップICとして構成されたものである。データ処理装置のCPU1とメモリカード6との間の双方向シリアルインターフェース5は、10本の線からなる。主要な4本の線は、データ伝送時にクロックを伝送するためのクロック線SCKと、ステータスを伝送するためのステータス線SBSと、データを伝送するデータ線DIO、25、インターラプト線INTとである。その他に電源供給用線として、2本のGND線および2本のVCC線が設けられる。2本の線Res

e r v は、未定義の線である。

クロック線 S C K は、データに同期したクロックを伝送するための線である。ステータス線 S B S は、メモリカード 6 のステータスを表す信号を伝送するための線である。データ線 D I O は、コマンドおよび暗号化されたオーディオデータを入出力するための線である。インターラプト線 I N T は、メモリカード 6 からデータ処理装置の C P U 1 に対しての割り込みを要求するインターラプト信号を伝送する線である。メモリカード 6 を装着した時にインターラプト信号が発生する。但し、この一実施形態では、かかるインターラプト信号をデータ線 D I O を介して伝送するようにしているので、インターラプト線 I N T を接地し、使用していない。

コントロールブロック 1 1 のシリアル／パラレル変換・パラレル／シリアル変換・インターフェースクラスタ（S／P, P／S, I F クラスタと略す）1 2 は、上述したインターフェース 5 と接続される。S／P, P／S, I F ブロック 1 2 は、データ処理装置から受け取ったシリアルデータをパラレルデータに変換し、コントロールブロック 1 1 に取り込み、コントロールブロック 1 1 からのパラレルデータをシリアルデータに変換してデータ処理装置に送る。

データ線 D I O を介して伝送されるフォーマットでは、最初にコマンドが伝送され、その後にデータが伝送される。S／P, P／S, I F ブロック 1 2 は、コマンドをコマンドレジスタ 1 3 に格納し、データをページバッファ 1 4 およびライトレジスタ 1 5 に格納する。ライトレジスタ 1 5 と関連してエラー訂正符号化回路 1 6 が設けられている。ページバッファ 1 4 に一時的に蓄えられたデータに対して、エラー訂正符号化回路 1 6 がエラー訂正符号の冗長コードを生成する。

コマンドレジスタ 1 3、ページバッファ 1 4、ライトレジスタ 1 5

およびエラー訂正符号化回路 15 の出力データがフラッシュメモリイ
ンタフェースおよびシーケンサ（メモリ I/F, シーケンサと略す）
17 に供給される。メモリ I/F, シーケンサ 17 は、コントロールブ
ロック 11 とフラッシュメモリ 7 とのインターフェースであり、両者
5 間のデータのやり取りを制御する。メモリ I/F, シーケンサ 17 を介
してデータがフラッシュメモリ 7 に書き込まれる。

フラッシュメモリ 7 から読み出されたデータがメモリ I/F, シーケ
ンサ 17 を介してページバッファ 14、リードレジスタ 18、エラー
訂正回路 19 に供給される。ページバッファ 14 に記憶されたデータ
10 がエラー訂正回路 19 によってエラー訂正がなされる。エラー訂正が
されたページバッファ 14 の出力およびリードレジスタ 18 の出力が
S/P, P/S, I/F ブロック 12 に供給され、シリアルインタフェ
ース 5 を介してデータ処理装置の C P U 1 に供給される。

なお、20 は、メモリカード 6 のバージョン情報、各種の属性情報
15 等が格納されているコンフィグレーション R O M である。また、メモ
リカード 6 には、ユーザが必要に応じて操作可能な誤消去防止用のス
イッチ 21 が備えられている。このスイッチ 21 が消去禁止の接続状
態にある場合には、フラッシュメモリ 7 を消去することを指示するコ
マンドがデータ処理装置側から送られてきても、フラッシュメモリ 7
20 の消去が禁止される。さらに、22 は、メモリカード 6 の処理のタイ
ミング基準となるクロックを発生する発振器である。

この発明の一実施形態におけるデータ処理装置とメモリカード 6 と
の間のシリアルインタフェースについてより詳細に説明する。メモリ
カード 6 からデータを読み出す時には、データ処理装置からメモリカ
25 ド 6 に対して読み出しコマンドが送信され、メモリカード 6 が読み
出しコマンドを受信する。コマンドの送信が完了すると、メモリカ

ド 6 が受信した読み出しコマンドで指定されたアドレスのデータをフラッシュメモリ 7 から読み出す処理を行う。この処理がなされている間、データ線 D I O を介してビジー信号（ハイレベル）がデータ処理装置に送信される。そして、フラッシュメモリ 7 からデータの読み出しが完了すると、ビジー信号の出力が停止され、データ処理装置に対してメモリカード 6 からデータを送出する準備ができたことを示すレディー信号（ローレベル）の出力が開始される。

データ処理装置は、メモリカード 6 からレディー信号を受信することによって、読み出しコマンドに対応する処理が準備できたことを知り、メモリカード 6 は、ページバッファに読み出したデータをデータ線 D I O を介してデータ処理装置に対して出力する。これらの各処理がなされる状態がステータス線 S B S のレベル変化で示される。

メモリカード 6 のフラッシュメモリ 7 に対してデータを書き込む時には、データ処理装置からメモリカード 6 に対してデータ線 D I O を介して書き込みコマンドが伝送される。書き込みコマンドと関連して書き込みアドレスが伝送される。フラッシュメモリ 7 では、セクタ単位でデータの書き込み、読み出しがなされるが、データ処理装置では、クラスタ単位でファイルを管理しており、データ処理装置からのアドレスは、クラスタ単位である。次に、データ処理装置が書き込みデータをデータ線 D I O を介してメモリカード 6 に伝送する。メモリカード 6 では、受け取った書き込みデータがページバッファに蓄えられる。書き込みデータの伝送が終了すると、メモリカード 6 は、書き込みデータをフラッシュメモリ 7 へ書き込む処理を行う。書き込み処理の間にビジー信号が出力され、メモリカード 6 において、書き込みデータの書き込み処理が終了すると、ビジー信号の出力を停止し、レディー信号（ローレベル）をデータ処理装置に対して送信する。

並列的な書き込みをシリアルインターフェースを介して行う場合には、ストレージ 0 に書き込むためのコマンド、アドレス、データを伝送した後にビジー信号が立っている状態において、ストレージ 1 に書き込むためのコマンド、アドレス、データと、ストレージ 2 に書き込むためのコマンド、アドレス、データと、ストレージ 3 に書き込むためのコマンド、アドレス、データとを順次伝送する。そして、再びストレージ 0 に書き込むためのコマンド、アドレス、データを伝送する。この時点では、以前のストレージ 0 に対するデータの書き込み処理が終了しており、ビジー信号が立ち下がっている。このような動作を繰り返すことによって並列的書き込みを行うことができる。但し、4 個のシリアルインターフェースを並列に使用するような方法でもって、同時にコマンド、アドレス、データを伝送することも可能である。

上述したこの発明の一実施形態についてさらに詳細に説明する。第 4 図は、一実施形態におけるアドレスの構成を示す。メモリのアドレス空間が A 0 , A 1 , . . . , A 1 0 の 11 ビットで表される。A 0 が L S B (最下位ビット) であり、A 1 0 が M S B (最上位ビット) である。L S B および第 2 番目の L S B (A 0 0 , A 1) によって、各 4 M B のストレージが切り換えられる。また、各ストレージのセクタおよびセグメントに対して、A 2 ~ A 1 0 の 9 ビットのアドレスが割り振られる。

第 5 図は、メモリカード 6 を記憶媒体とする第 1 図のシステムにおいて、ファイル管理の方法を説明するための図である。第 5 図において、3 0 は、データファイル例えば圧縮されたオーディオデータファイルのデータを示す。圧縮オーディオデータは、通常、曲ごとにファイルが作成され、そのファイルがセクタ単位でメモリカード 6 のフラッシュメモリ 7 に対して記録され、フラッシュメモリ 7 から読み出さ

れる。

このようなデータ 30 を並列的にフラッシュメモリ 7 に記録する場合に、第 5 図に示すように、書き込み処理後に、各クラスタ内でセクタが連續で並ぶように、複数のクラスタから書き込みセクタを選択し
5 、選択したセクタに対して同時にデータを書き込む。データ 30 のサイズが 4 個のクラスタに一致しているものとすると、データ 30 がフラッシュメモリ 7 の 4 個のクラスタに記録される。

第 5 図に示すように、書き込み後に各ストレージの各クラスタ内で
、セクタが元の順序で並ぶようになされる。例えば 0, 1, 2, 3,
10 ··· と元の順序に従って番号付けされたセクタをストレージ 0 ~
ストレージ 3 に対して並列的に書き込む場合に、番号 0 のデータをスト
レージ 0 のクラスタの先頭セクタに記録し、番号 16 のデータをスト
レージ 1 のクラスタの先頭セクタに記録し、番号 32 のデータをスト
レージ 2 のクラスタの先頭セクタに記録し、番号 48 のデータをスト
15 レージ 3 のクラスタの先頭セクタに記録する。

このように、セクタ毎にデータを番号付けした時に、クラスタのセ
クタ数に等しい数のオフセットを有する番号の 4 個のデータ単位を並
列化し、4 個のストレージに対して同時に書き込む。その結果、フラ
ッシュメモリ 7 の各ストレージでは、既存のフラッシュメモリと同様
20 に同一ストレージ内で構成されるクラスタ内に、データが元の順序で
配列される。従って、既存のフラッシュメモリのファイルフォーマッ
トとの互換性が保たれる。

このように記録されたフラッシュメモリからデータが 1 クラスタ毎
に順番に読み出される。例えば第 5 図のストレージ 0 のクラスタの先
25 頭セクタから順にデータを読み出し、次に、ストレージ 1 のクラスタ
の先頭セクタから順にデータを読み出し、以下、ストレージ 2 のクラ

スタ、ストレージ3のクラスタというように順にデータを読み出すようになされる。読み出されたデータの順序は、元の順序と同一である。消去動作は、各ストレージ毎に構成されるクラスタ単位でなされる。

- 5 このように、一実施形態における並列書き込み後のデータ配置は、既存のフラッシュメモリと同様に、同一ストレージ内にクラスタが構成されるものとなる。従って、既存のフラッシュメモリとファイルフォーマット上で互換性を保つことができる。

第6図は、一実施形態における書き込み動作を示すものである。最初にホスト側からセクタサイズのページバッファに対してデータが転送され、さらに、ページバッファからストレージ0のフラッシュバッファBF0に対してデータが転送される。転送のためにTなる時間を要する。次のライトビジーの期間では、フラッシュバッファBF0から、ストレージ0に対してデータが書き込まれる。最初の転送期間Tの後では、次のセクタのデータが転送され、ライトビジーの期間でストレージ1に書き込まれる。このようにして、並行してストレージ0～ストレージ3に対する書き込み動作がなされるので、第15図に示される従来の書き込み動作に比して書き込みの高速化が達成される。

読み出し時には、第7図に示すように、リードビジーの期間において、ストレージ0～3のそれぞれからデータが読み出され、セクタサイズのフラッシュバッファBF0～BF3に対して読み出しデータが転送される。次の転送時間Tにおいて、フラッシュバッファBF0からページバッファに対してデータが転送され、さらに、ページバッファからホスト側に対してデータが転送される。以下、フラッシュバッファBF1、BF2、BF3から順にページバッファに対してデータが出力され、ページバッファからホスト側に対してデータが転送され

る。リードビジーを順に行う従来の読み出し動作の処理（第16図）に比して読み出しの高速化が達成される。

第8図は、あるセグメント内でそれぞれが異なるクラスタに属する連続する論理セクタ0～3に対してデータを書き込む時の処理の流れ5を示すフローチャートである。最初のステップS1では、書き込み対象のセグメントに関して論理物理変換テーブルが作成される。ステップS2では、ホスト側からページバッファに対してセクタ0が送出され、ページバッファからフラッシュバッファに対してセクタ0のデータが転送される。この転送に時間Tを要する。次のステップS3では10、セクタ1の送出がなされるのと並行して、ステップS4でセクタ0がフラッシュメモリの一つのストレージに書き込まれる。

ステップS5では、セクタ2が送出され、ステップS6では、並行してセクタ1がフラッシュメモリの一つのストレージに書き込まれる。以下、セクタ3の送出（ステップS7）、セクタ2の書き込み（ステップS8）、セクタ3の書き込み（ステップS9）の処理が同様になされる。この発明の一実施形態では、従来のように、一つのストレージに対してアクセスが集中することなく、また、セグメントが切り替わらないので、論理物理変換テーブルを作成する必要がないので、処理を高速化することができる。

20 上述したような並列書き込みを行い、また、書き込まれたデータを読みだす時のストレージ切り換えの方法の一例について説明する。第9図は、一実施形態における4個のストレージに対するアドレス供給の構成を示し、第10図は、 $4\text{ MB} \times 4 = 16\text{ MB}$ のフラッシュメモリの物理アドレスを示す。

25 第4図を参照して説明したように、物理アドレスは、A0, A1, ..., A10の11ビットで表される。A0がLSB（最下位ビッ

ト) であり、A10がMSB(最上位ビット)である。

この発明の一実施形態では、生成した11ビットのアドレスA0～A10をフラッシュメモリに与える時に、アドレスA2～A10をセクタおよびセグメントのアドレスを規定するアドレスとしてフラッシュメモリに供給し、また、下位のA0、A1の2ビットをストレージ切り換えを規定するアドレスとしてフラッシュメモリに供給する。すなわち、第9図に示すように、上位側の9ビットのアドレスA2～A10が4個のストレージ(0～3)に対して共通に与えられる。また、下位側の2ビットのアドレスA0およびA1が2to4デコーダ40に供給され、デコーダ40から各ストレージを選択するための選択信号CS0, CS1, CS2, CS3が発生する。 $(A1, A0) = 00$ の場合には、ストレージ0を選択する選択信号CS0がデコーダ40から発生する。また、 $(A1, A0) = 01$ 、 $(A1, A0) = 10$ 、 $(A1, A0) = 11$ の場合に、ストレージ1、ストレージ2、ストレージ3をそれぞれ選択する選択信号CS1、CS2、CS3がデコーダ40から発生する。デコーダ40は、第3図の構成例では、メモリIF, シーケンサ17内に設けられる。

このようなストレージの切り換えを行う場合、11ビットが全て0からこれが全て1まで物理アドレスをインクリメントさせた時のアドレス変化を、第10図において矢印で示す。すなわち、ストレージ0の先頭クラスタからアドレス変化が開始し、次にストレージ1の先頭クラスタが指定される。そして、ストレージ2の先頭クラスタを経て、ストレージ3の先頭クラスタまでアドレスが変化すると、次にストレージ0の第2番目のクラスタに移るように、物理クラスタアドレスが変化する。

この発明の一実施形態におけるセグメントと論理クラスタアドレス

の配置を第11図に示す。第11図の論理クラスタアドレスの配置から分かるように、1セグメントに含まれる512クラスタは、4個のストレージにそれぞれ含まれる128個のクラスタによって構成される。このセグメント毎に論理-物理アドレス変換テーブルが生成される。
5 従って、セグメントが変更されなければ、参照または更新する論理-物理アドレス変換テーブルが変わらず、テーブルをアクセスしたり、テーブルを更新することによる読み出し性能の低下を防止することができる。また、連続した論理クラスタアドレス例えば0x000
4～0x0007に対して同時にデータを書き込むことができる。
10 なお、論理クラスタアドレスが0x0000, 0x0200, 0x
0400, 0x0600のように、不連続な場合には、一つのストレージ上にこれらのアドレスが存在するので、同時に書き込むことが不可能である。しかしながら、このような不連続なクラスタアドレスに対しても連続した論理セクタを書き込む処理が実際に発生する確率が非
15 常に低いので、大きな問題とならない。

なお、以上説明した一実施形態では、1セクタが512B、1クラスタが8Kバイト、1ストレージが512クラスタとされる4MBのフラッシュメモリについて説明したが、これらの値は、一例であって他の数値のフラッシュメモリに対しても、この発明を適用できる。例
20 えば1クラスタの容量を16KBとしても良い。また、1個のストレージの容量が8MB（1024クラスタ×8KB）、16MB（1024クラスタ×16KB）、32MB（2048クラスタ×16KB）、64MB（4096クラスタ×16KB）等のフラッシュメモリに対してもこの発明を適用することができる。
25 この発明によれば、複数クラスタにわたるデータの書き込み時には、同時にデータを書き込むことができ、それによって高速の書き込み

が可能となる。また、複数クラスタにわたるデータの書き込み時または読み出す時に、同一セグメントであれば、論理－物理アドレス変換テーブルの切り換えを不要とできるので、アクセスを高速化することができる。

請求の範囲

1. 複数のセクタによって 1 クラスタが構成され、複数のクラスタによって 1 セグメントが構成されるストレージを複数備える不揮発性のメモリ装置がデータ処理装置に対して着脱自在とされたデータ処理システムにおいて、
 - 上記データ処理装置は、
 - データを記録するクラスタのアドレスを指定するアドレス指定手段を備え、
 - 上記メモリ装置は、
 - 10 上記アドレス指定手段により指定されたアドレスに対してデータの記録を行う記録手段を備え、
 - 1 セグメント内の複数のクラスタのデータが複数のストレージに分散して配置されることを特徴とするデータ処理システム。
 2. 複数のセクタによって 1 クラスタが構成され、複数のクラスタによって 1 セグメントが構成されるストレージを複数備える不揮発性のメモリ装置を記録媒体として使用するデータ処理装置において、
 - メモリ装置に対して、1 セグメント内の複数のクラスタのデータが複数のストレージに分散して配置されるように、上記データを書き込むことを特徴とするデータ処理装置。
 - 20 3. データ処理装置に対して着脱自在で、複数のセクタによって 1 クラスタが構成され、複数のクラスタによって 1 セグメントが構成されるストレージを複数備える不揮発性のメモリ装置において、
 - 1 セグメント内の複数のクラスタのデータが複数のストレージに分散して配置されることを特徴とするメモリ装置。
 - 25 4. 請求の範囲 1、2 または 3 において、
 - 論理クラスタアドレース - 物理クラスタアドレス変換テーブルを参照

してアクセスすることを特徴とする装置。

5. 請求の範囲 3において、

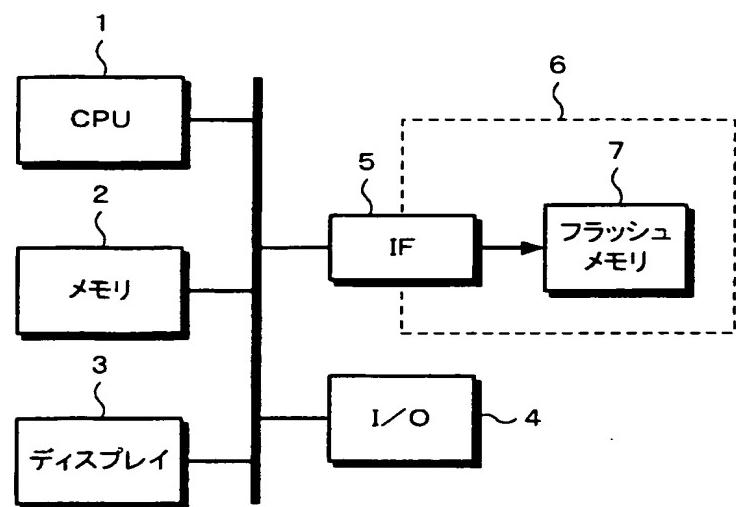
複数のストレージを切り換えるための信号を、アドレスの下位側の
1または複数のビットから生成することを特徴とするメモリ装置。

- 5 6. 複数のセクタによって1クラスタが構成され、複数の上記クラスタに跨がるデータを複数のストレージに対して並列的に記録するデータ記録方法において、

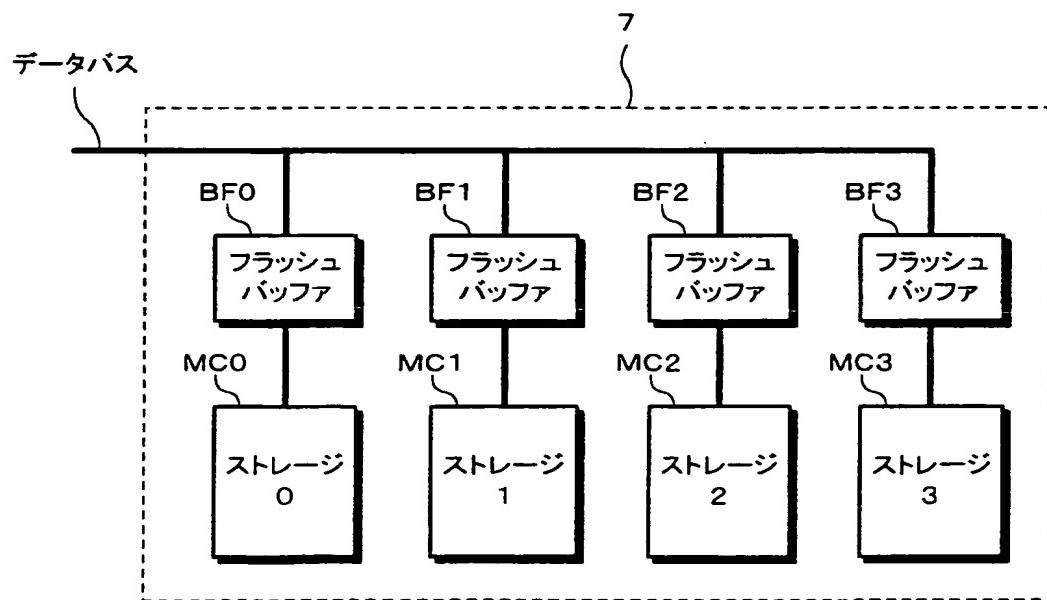
クラスタアドレスを指定し、指定されたクラスタアドレスに対して書き込みを行い、

- 10 並列書き込み処理後に、1セグメント内の複数のクラスタのデータが複数のストレージに分散して配置されることを特徴とするデータ記録方法。

第1図

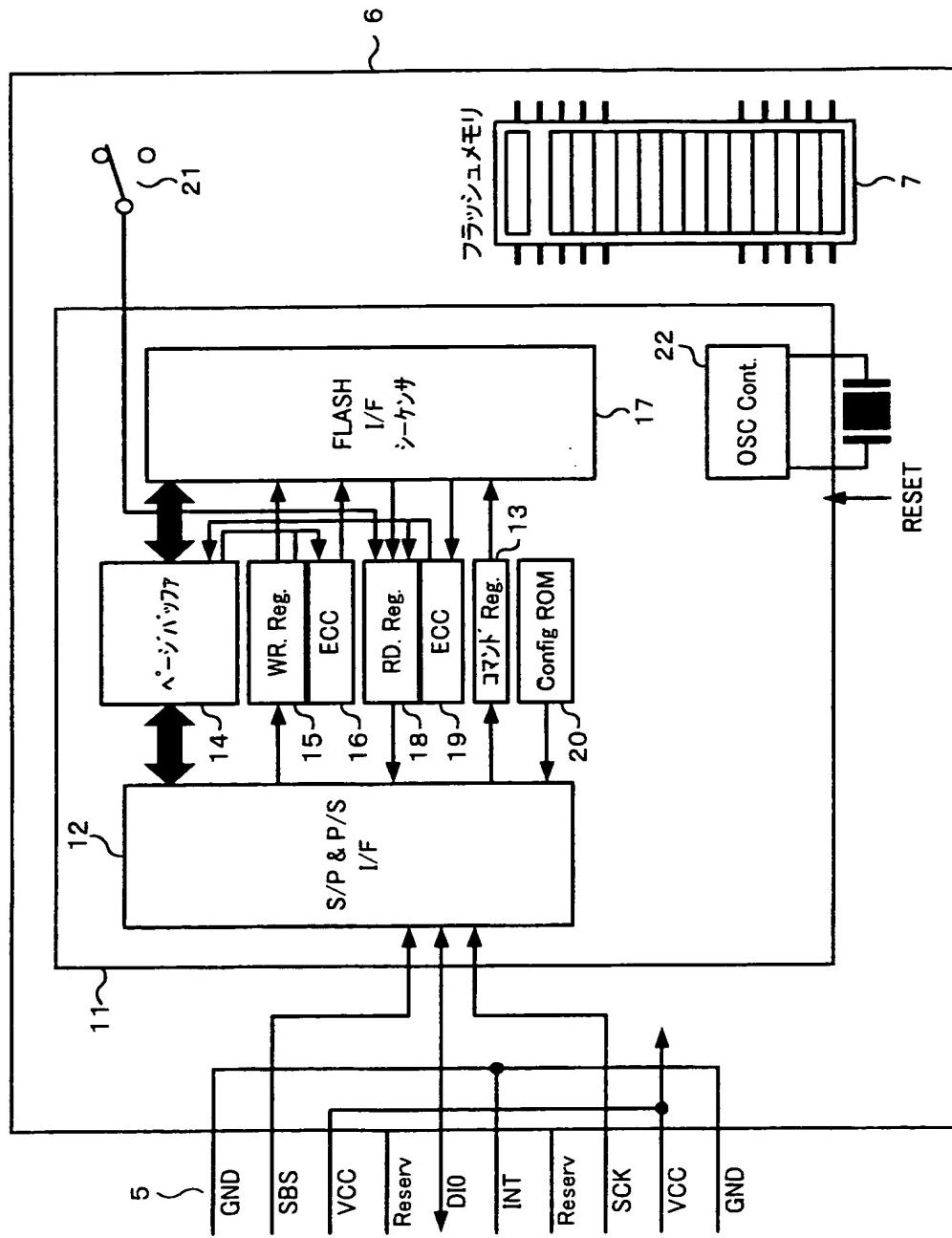


第2図



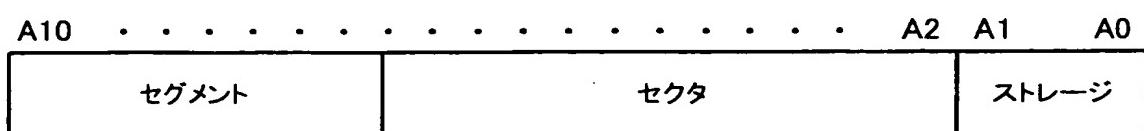
THIS PAGE BLANK (USPTO)

第3図

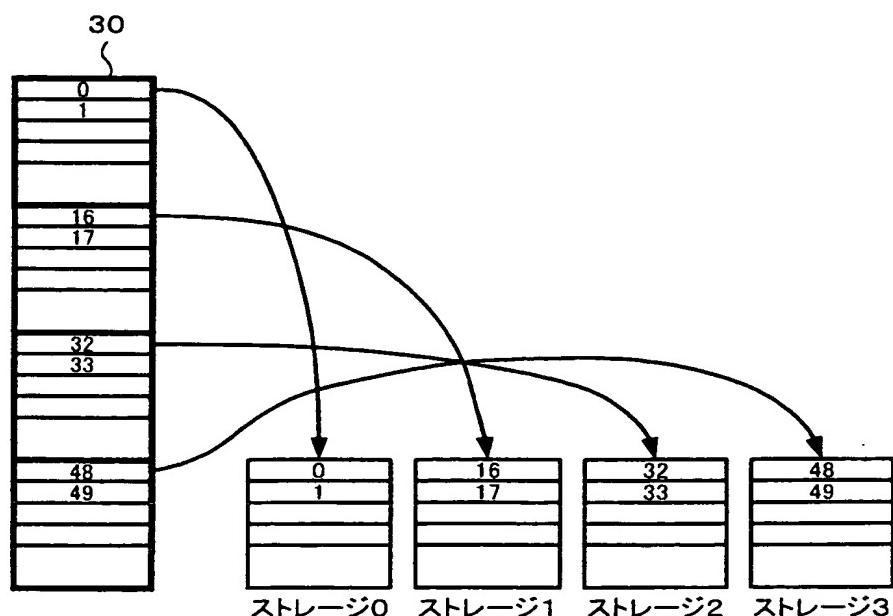


THIS PAGE BLANK (USPTO)

第4図

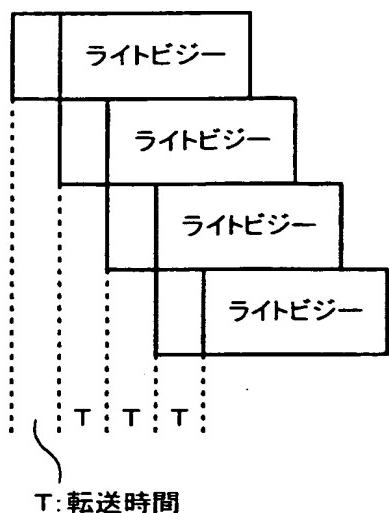


第5図

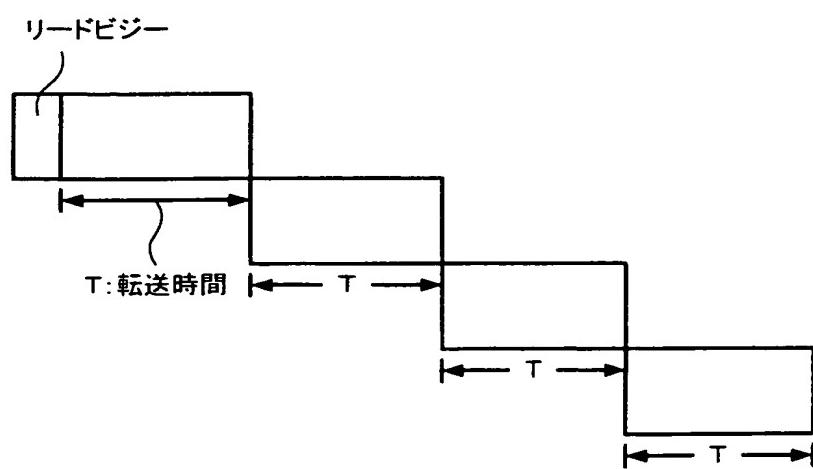


THIS PAGE BLANK (USPTO)

第6図

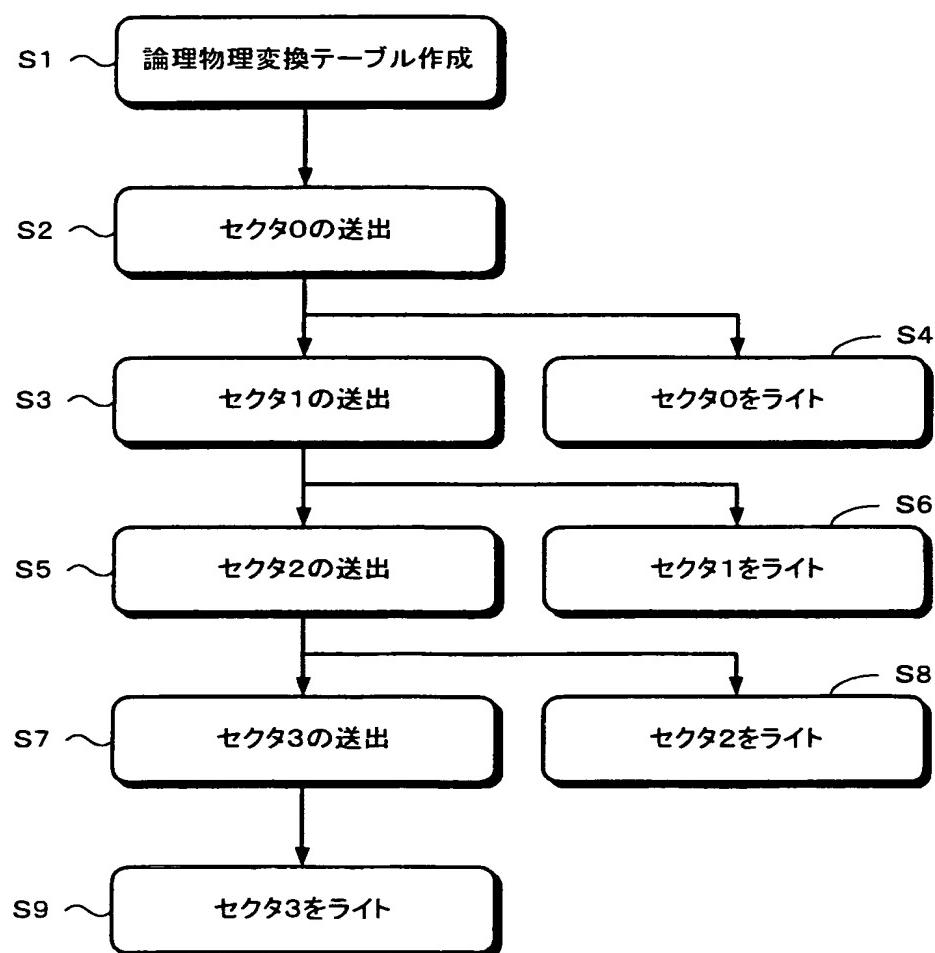


第7図



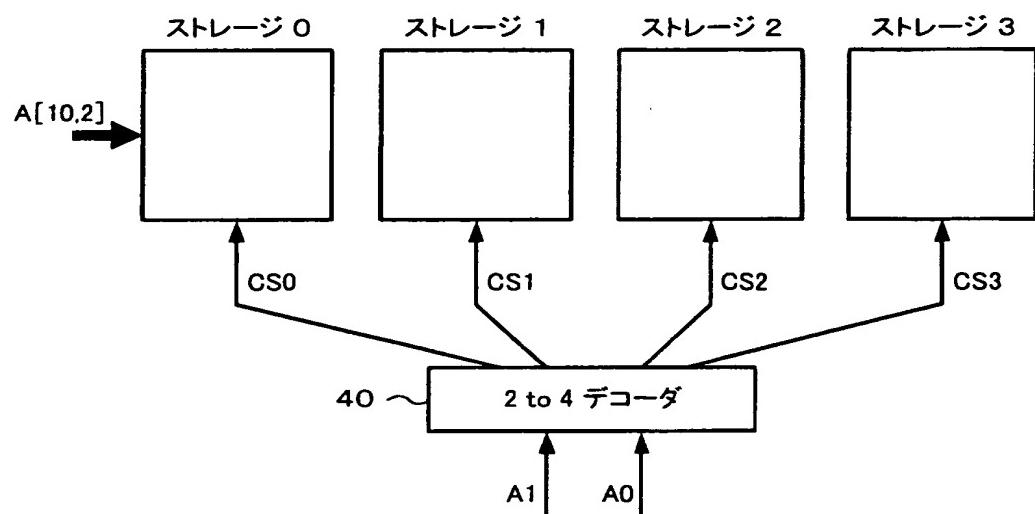
THIS PAGE BLANK (USPTO)

第8図



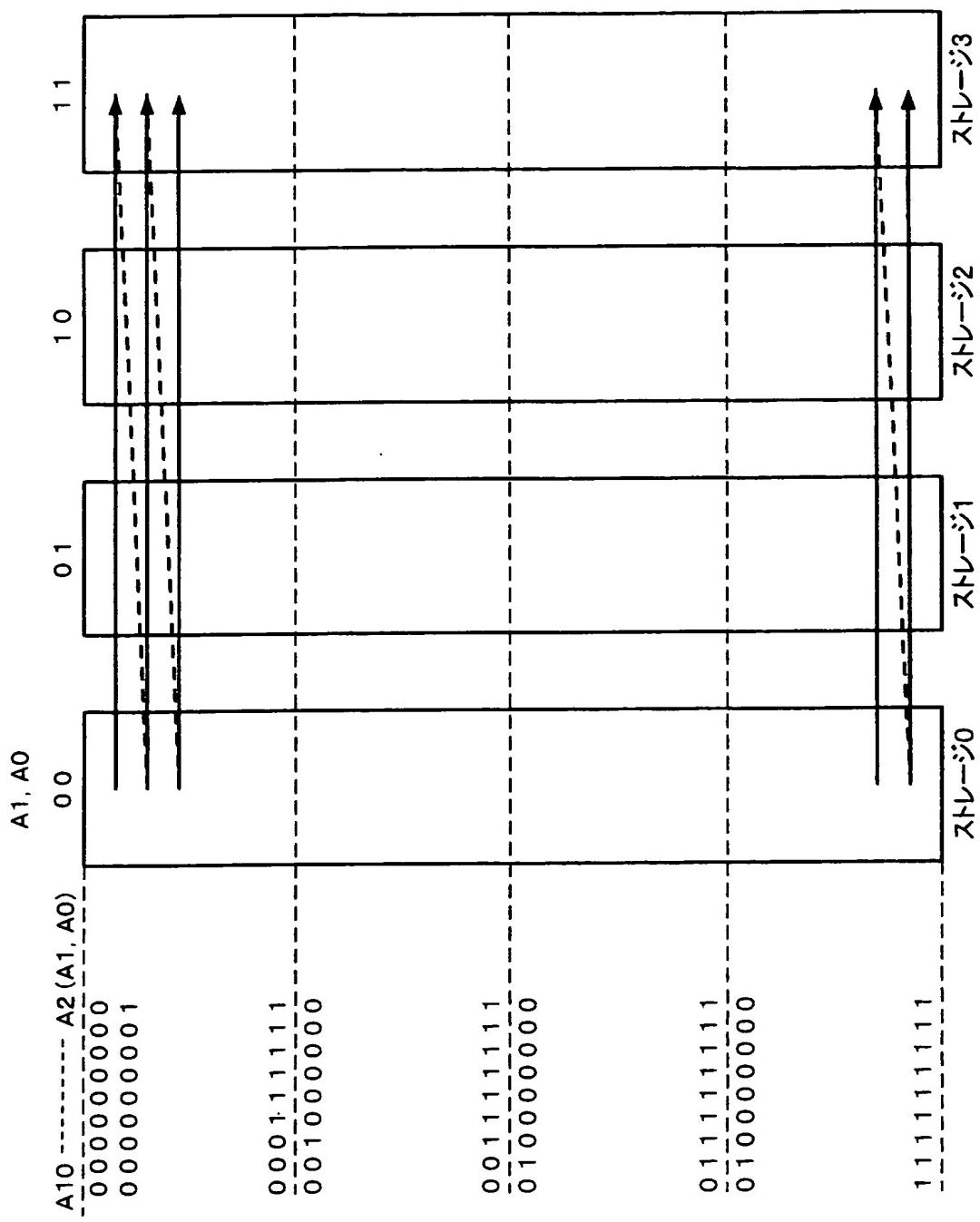
THIS PAGE BLANK (USPTO)

第9図



THIS PAGE BLANK (USPTO)

第10図

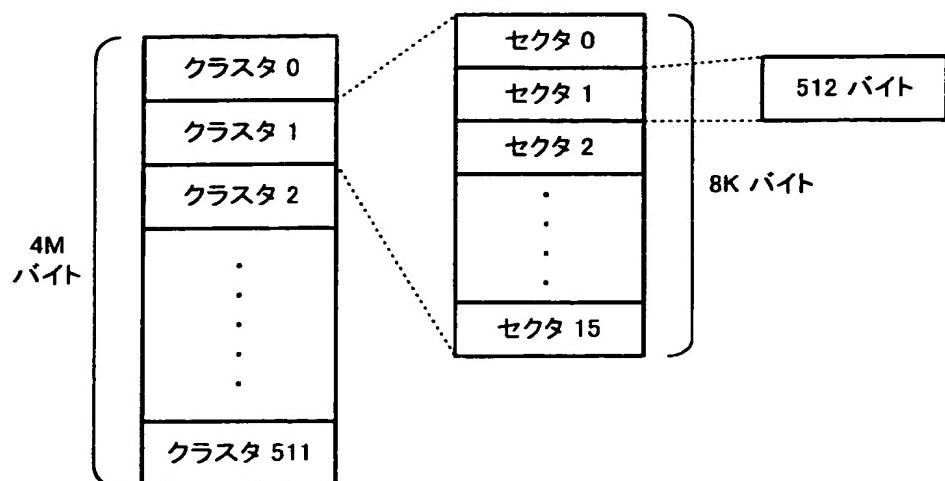


THIS PAGE BLANK (USPTO)

第11図

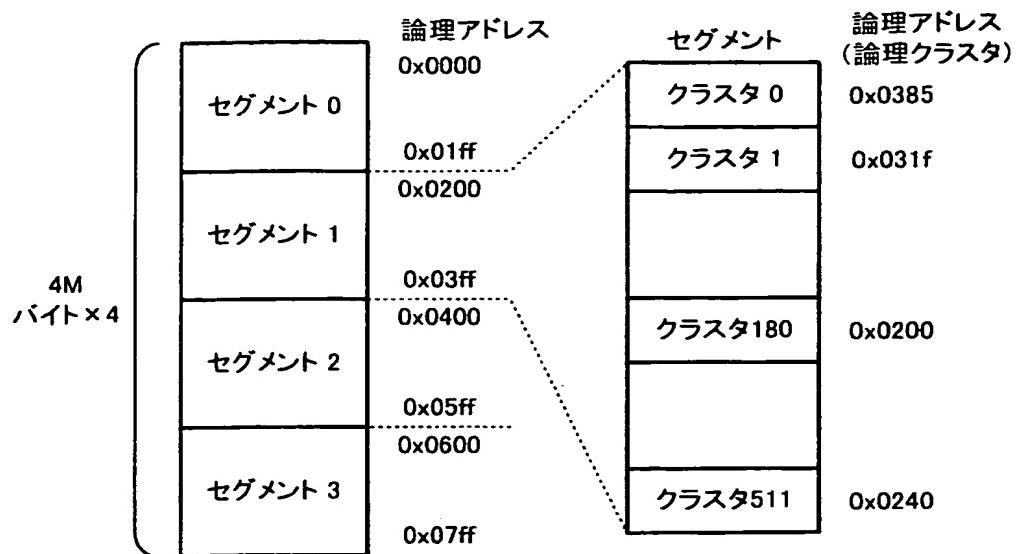
	ストレージ 0	ストレージ 1	ストレージ 2	ストレージ 3
セグメント 0	0x0000	0x0001	0x0002	0x0003
	0x0004	0x0005	0x0006	0x0007
	:	:	:	:
	0x01fc	0x01fd	0x01fe	0x01ff
セグメント 1	0x0200	0x0201	0x0202	0x0203
	:	:	:	:
	0x03fc	0x03fd	0x03fe	0x03ff
セグメント 2	0x0400	0x0401	0x0402	0x0403
	:	:	:	:
	0x04fc	0x04fd	0x04fe	0x04ff
セグメント 3	0x0600	0x0601	0x0602	0x0603
	:	:	:	:
	0x07fc	0x07fd	0x07fe	0x07ff

第12図



THIS PAGE BLANK (USPTO)

第13図A

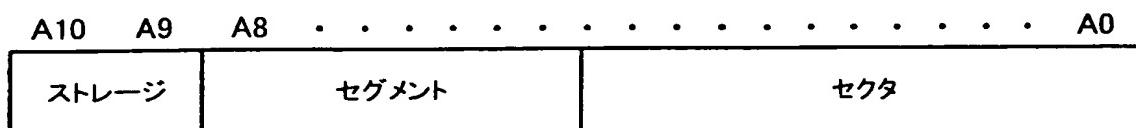


第13図B

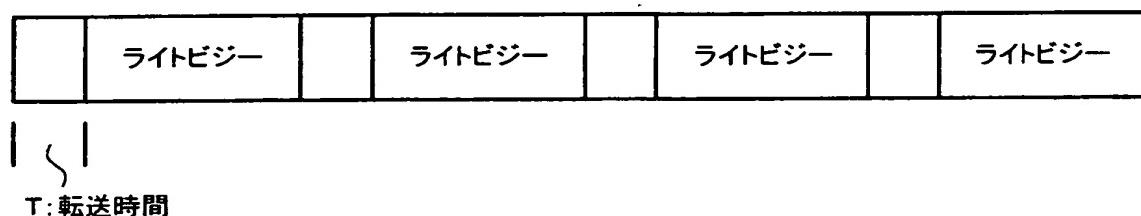
論理アドレス	物理アドレス
0x0200	180
0x0240	511
"	"
0x031f	1
"	"
0x0385	0

THIS PAGE BLANK (USPTO)

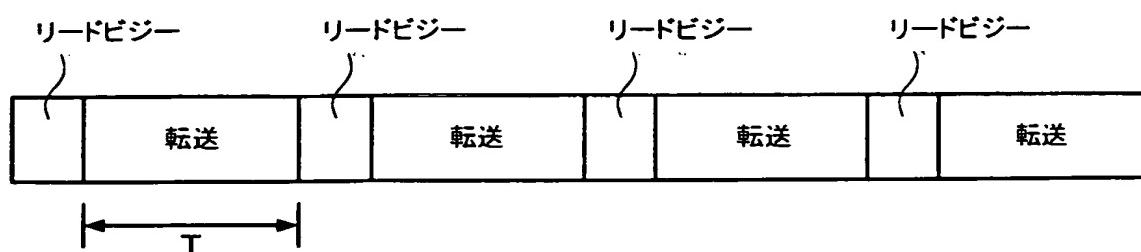
第14図



第15図

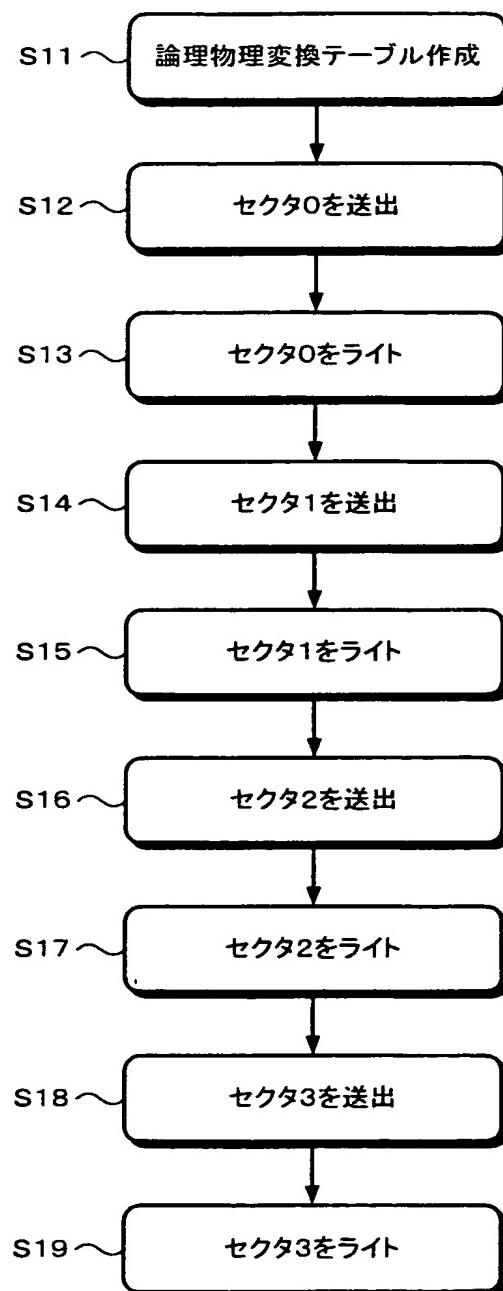


第16図



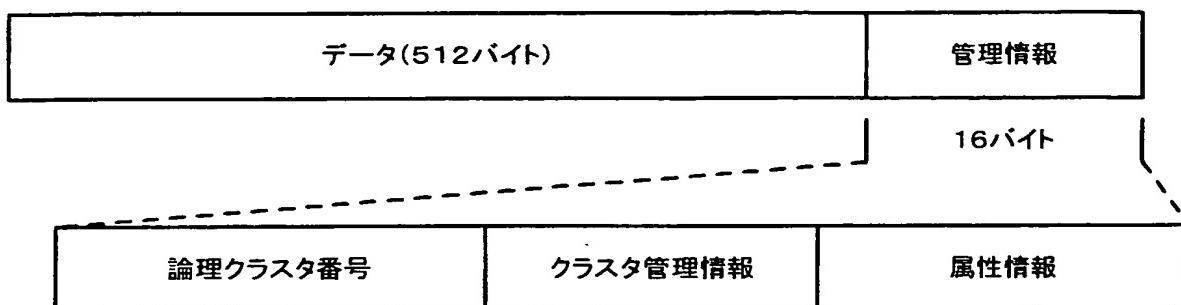
THIS PAGE BLANK (USPTO)

第17図

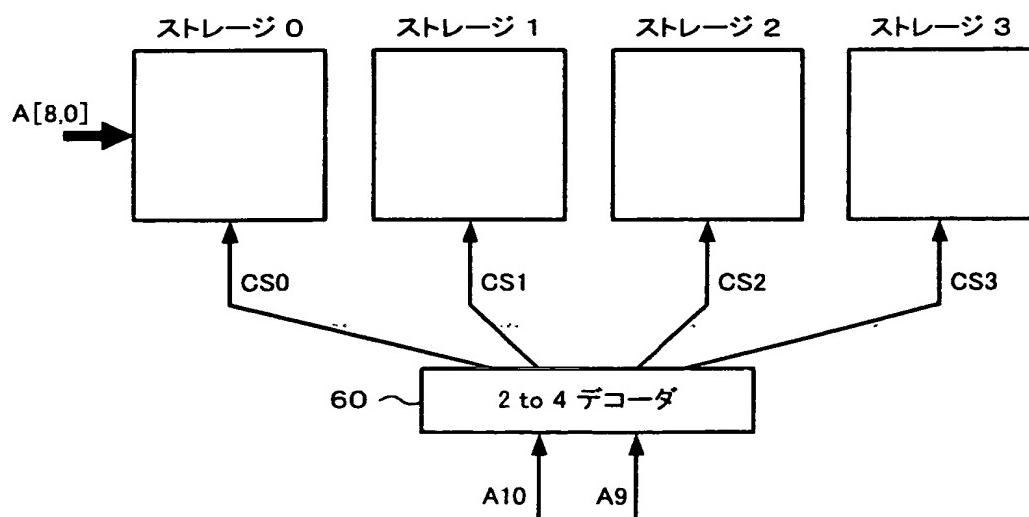


THIS PAGE BLANK (USPTO)

第18図

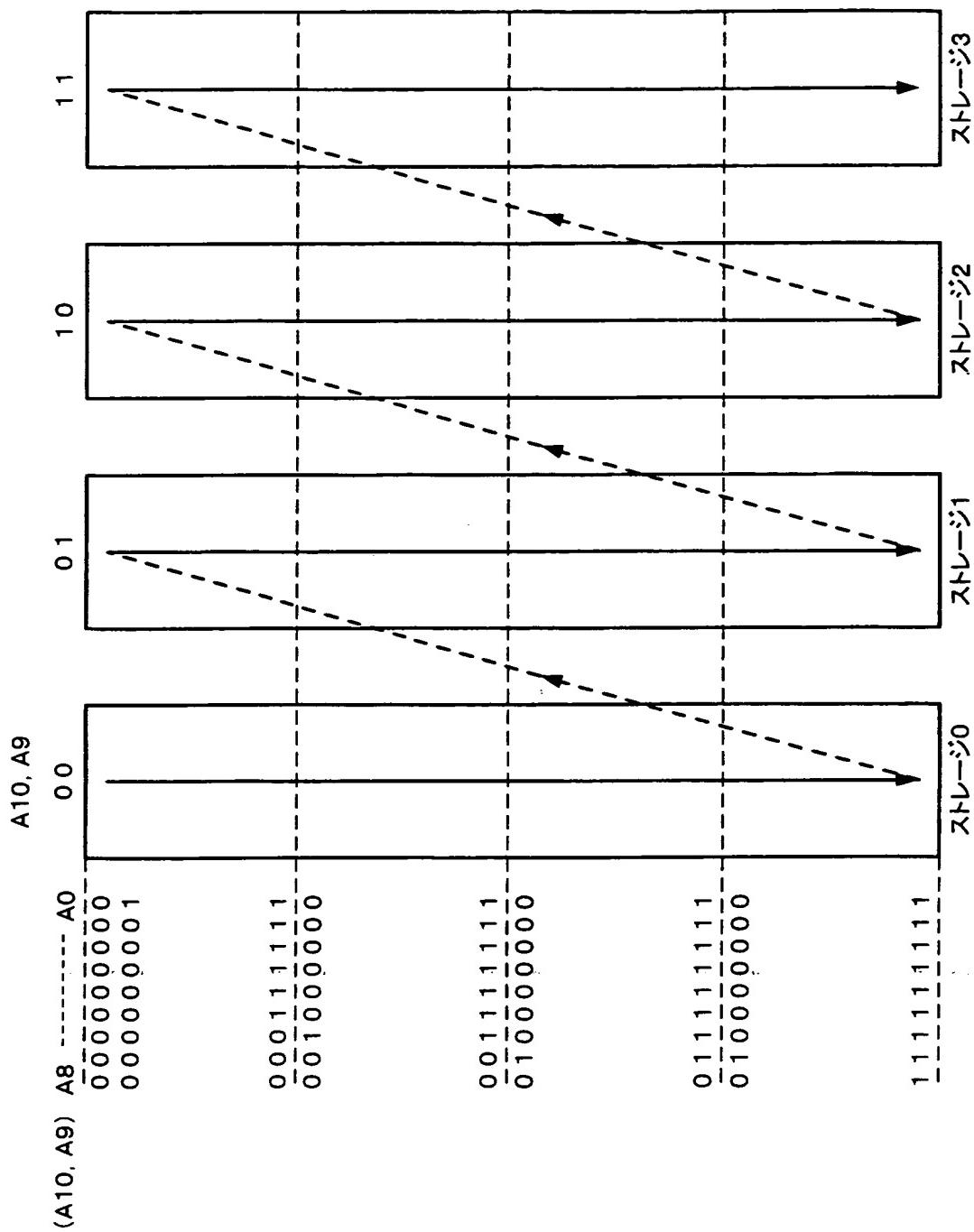


第19図



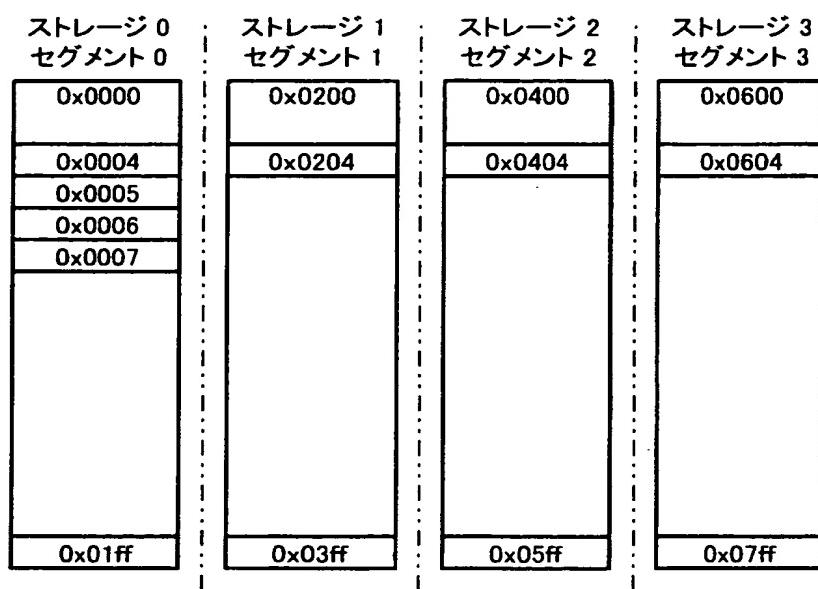
THIS PAGE BLANK (USPTO)

第20図



THIS PAGE BLANK (USPTO)

第 2 1 図



THIS PAGE BLANK (USPTO)

- 1 C P U
- 5 インターフェース
- 6 メモリカード
- 7 フラッシュメモリ

THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/05055

A. CLASSIFICATION OF SUBJECT MATTER
Int.C1⁷ G06F12/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.C1⁷ G06F12/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US, 5572466, A (Kabushiki Kaisha Toshiba), 05 November, 1996 (05.11.96) & JP, 6-119128, A	1 - 6
Y	Nikkei Electronics, No. 696, (18 August, 1997), Nikkei BP K.K. (Tokyo), "Sony, Format Kotei no Flash Memory Card wo Kaihatsu", p. 13, 14	1 - 6
Y	JP, 8-87441, A (Fujitsu Limited), 02 April, 1996 (02.04.96) (Family: none)	5
A	JP, 6-4399, A (Hitachi, Ltd.), 14 January, 1994 (14.01.94) (Family: none)	1 - 6

Further documents are listed in the continuation of Box C.

See patent family annex.

- * Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
07 November, 2000 (07.11.00)

Date of mailing of the international search report
14 November, 2000 (14.11.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

THIS PAGE BLANK (USPTO)

国際調査報告

国際出願番号 PCT/JP00/05055

A. 発明の属する分野の分類（国際特許分類（IPC））
Int. Cl' G06F12/00

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
Int. Cl' G06F12/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996
日本国公開実用新案公報 1971-2000
日本国登録実用新案公報 1994-2000
日本国実用新案登録公報 1996-2000

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US,5572466,A(Kabushiki Kaisha Toshiba) 5.11月.1996(05.11.96) & JP,6-119 128, A	1 - 6
Y	日経エレクトロニクス, No. 696, (18.8月.1997) 日経BP社（東京）, "ソニー, フ オーマット固定のフラッシュ・メモリ・カードを開発", p. 13, 14	1 - 6
Y	JP,8-87441, A(富士通株式会社), 2.4月.1996 (02.04.96), ファミリーなし	5
A	JP,6-4399, A(株式会社日立製作所), 14.1月.1994 (14.01.94), ファミリーなし	1 - 6

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 07.11.00	国際調査報告の発送日 14.11.00
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 原 秀人 印 5N 9644 電話番号 03-3581-1101 内線 3585

THIS PAGE BLANK (USPTO)